



LABORATORIO Nº 06: Minimización de Funciones Lógicas

1. OBJETIVOS.

- ✓ Definir y minimizar la función booleana.
- ✓ Conocer las aplicaciones de la electrónica digital.

2. FUNDAMENTO TEORICO.

MAPA DE KARNAUGH:

Un mapa de Karnaugh (también conocido como tabla de Karnaugh o K-Mapa) es un diagrama utilizado para la minimización de funciones algebraicas booleanas. El mapa de Karnaugh fue inventado en 1950 por Maurice Karnaugh, un físico y matemático de los laboratorios Bell.

Los mapas de Karnaugh aprovechan la capacidad del cerebro humano de trabajar mejor con patrones que con ecuaciones y otras formas de expresión analítica. Externamente, un mapa de Karnaugh consiste de una serie de cuadrados, cada uno de los cuales representa una línea de la tabla de verdad. Puesto que la tabla de verdad de una función de N variables posee 2^N filas, el mapa de Karnaugh correspondiente debe poseer también 2^N cuadrados. Cada cuadrado alberga un 0 ó un 1, dependiendo del valor que toma la función en cada fila. Las tablas de Karnaugh se pueden utilizar para funciones de hasta 6 variables.

3. LISTA DE EQUIPOS Y MATERIALES.

- 01 protoboard.
- 01 fuente de tensión VDC – 5V.
- 05 diodos Leds.
- 02 x CI: 7400 ó 74LS00, 7402 ó 74LS02, 7404 ó 74LS04, 7408 ó 74LS08, 7432 ó 74LS32.
- 01 multímetro digital.
- 01 manual ECG.
- Cables de conexión de telefonía.



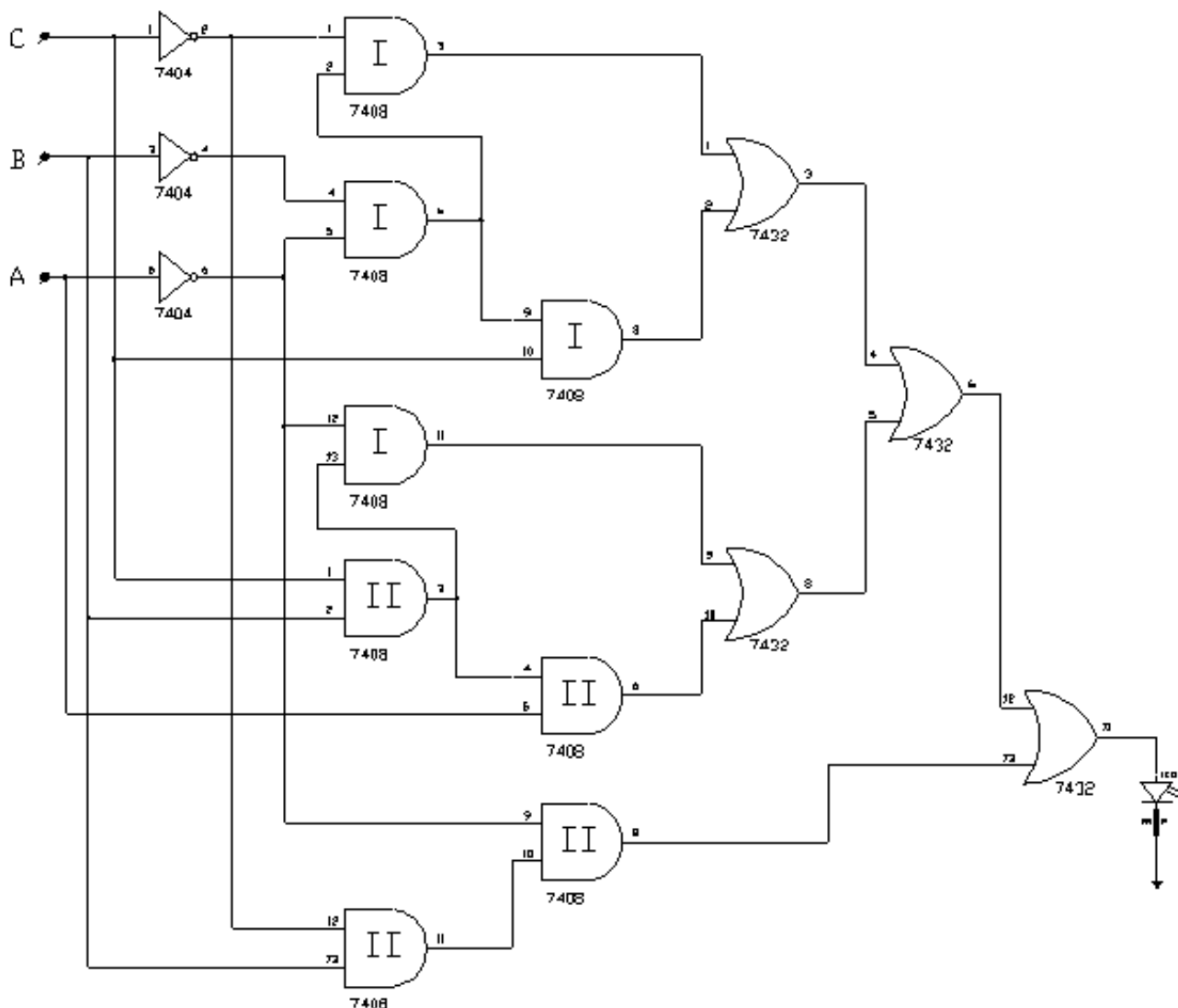
4. PROCEDIMIENTO.

Montar el circuito lógico que cumpla con la siguiente función booleana:

$$F = \bar{C}\bar{B}\bar{A} + \bar{C}B\bar{A} + C\bar{B}\bar{A} + CB\bar{A} + CBA$$

4.1.- Solución sin minimizar:

a.- Circuito Lógico:



b.- Monte el circuito y verifique la *Tabla N°1*.

Aplique niveles lógicos 0 y 1 en las entradas C,B,A y use el indicador de nivel lógico (diodo led) para visualizar su valor en todo el recorrido del circuito.



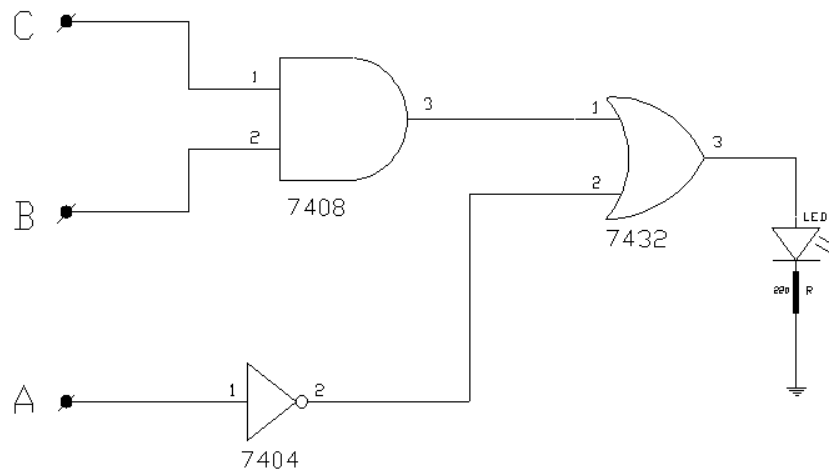
TABLA 1			
IN			OUT
C	B	A	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

4.2.- Solución minimizada usando el Mapa de Karnaugh:

a.- Dibujemos el mapa de Karnaugh para tres variables:

b.- Del mapa obtenemos la función minimizada:

$$F = CB + \bar{A}$$



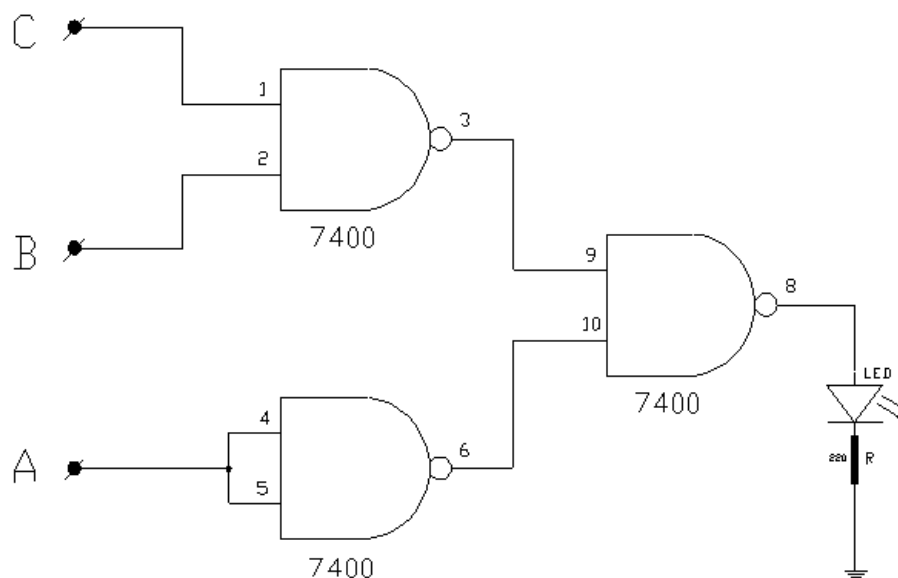
c.- Monte el circuito minimizado y verifique la *Tabla N°2*.
Aplique niveles lógicos 0 y 1 y utilice el indicador de nivel lógico (diodo led) en las entradas C,B,A y en las salida F para visualizar su valor. Verifique la coincidencia entre la *Tabla 1* y la *Tabla 2*

TABLA 2			
IN			OUT
C	B	A	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



4.3.- Solución usando la compuerta universal NAND:

a.- Monte el siguiente circuito.



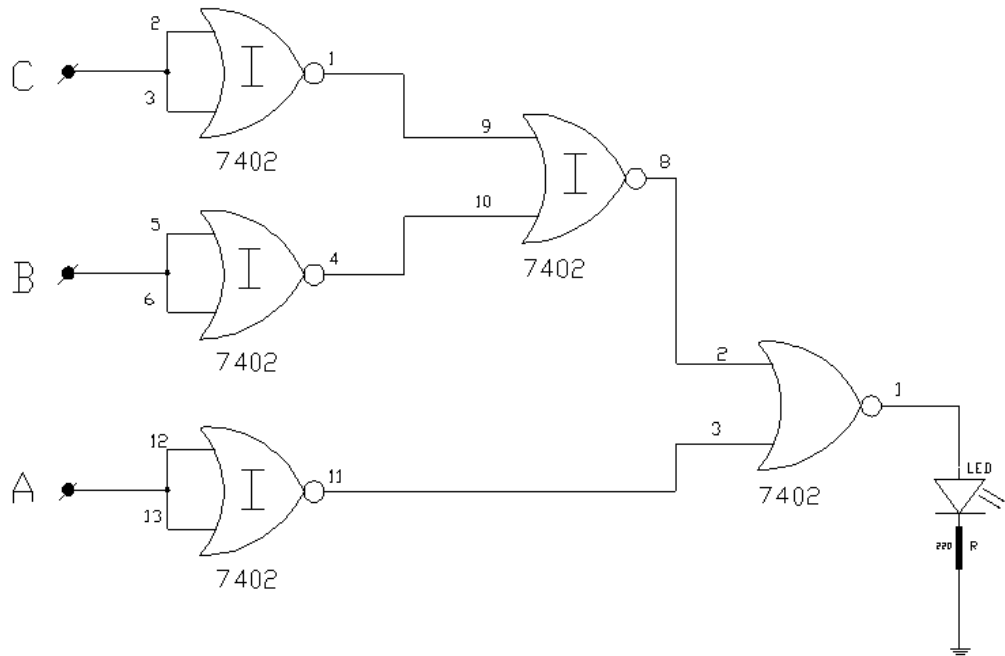
b. Aplique niveles Lógicos 0 y 1 y verifique la coincidencia de la *Tabla 3* con la *Tabla 1*.

TABLA 3			
IN			OUT
C	B	A	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



4.4.- Solución usando la compuerta universal NOR:

a. Monte el siguiente circuito



b.- Aplique niveles lógicos 0 y 1 y verifique la coincidencia de la *Tabla 4* con la *Tabla 1*

TABLA 4			
IN			OUT
C	B	A	F
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



5. CUESTIONARIO.

5.1.- Monte el circuito lógico que cumpla la siguiente función Booleana:

$$F = \bar{C}\bar{B}\bar{A} + \bar{C}B\bar{A} + C\bar{B}\bar{A} + CB\bar{A} + \bar{C}\bar{B}A$$

- a. Minimización aplicando el mapa de Karnaugh:

La función minimizada es $F = \dots\dots\dots$

- b. Desarrolle la tabla de verdad de la función original y de la función minimizada y compruebe su identidad.
c. Desarrolle el circuito usando compuertas básicas y verifique su tabla de verdad.
d. Desarrolle el circuito usando compuertas universales NAND y verifique su tabla de verdad.

5.2.- Monte el Circuito Lógico que cumpla la siguiente tabla de verdad:

ENTRADAS			SALIDA
C	B	A	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

- a. Obtenga la Función Booleana.
b. Minimice la función aplicando el Mapa de Karnaugh.
c. Verifique la tabla de verdad de la función minimizada, la cual debe coincidir con la tabla planteada originalmente.
d. Desarrolle el circuito minimizado empleando la compuerta universal NAND.
e. Verifique la tabla de verdad del circuito montado con compuertas NAND, la cual debe coincidir con la tabla planteada originalmente.