



## **LABORATORIO N° 09: Circuitos Secuenciales Básicos: Flip - Flop**

### **1. OBJETIVOS.**

- ✓ Implementar Flip – Flops de diferentes tipos.
- ✓ Obtener dominio en el conocimiento de las Tablas de Verdad o Funcionamiento de los diferentes Flip – Flops.
- ✓ Verificar en la práctica las Tablas de Verdad o Funcionamiento de los Flip – Flops.

### **2. FUNDAMENTO TEORICO.**

#### **FLIP - FLOPS:**

##### **Generalidades**

Siendo los Flip-Flops las unidades básicas de todos los Sistemas Secuenciales, existen cuatro tipos: el **RS**, el **JK**, el **T** y el **D**. Y los últimos tres se implementan del primero pudiéndose con posterioridad con cualquiera de los resultados confeccionar cualquiera de los restantes.

Todos pueden ser de dos tipos, a saber: Flip-Flop activado por nivel (FF-AN) o bien Flip-Flop maestro-esclavo (FF-ME). El primero recibe su nombre por actuar meramente con los "niveles" de amplitud 0-1, en cambio el segundo son dos FF-AN combinados de tal manera que uno "hace caso" al otro.

Un circuito Flip-Flop puede mantener un estado binario indefinidamente (siempre y cuando se le este suministrando potencia al circuito) hasta que se cambie por una señal de entrada para cambiar estados. La principal diferencia entre varios tipos de Flip-Flops es el número de entradas que poseen y la manera en la cual las entradas afecten el estado binario.

##### **Circuito básico de un Flip-Flop**

Se menciona que un circuito Flip-Flop puede estar formado por dos compuertas NAND o dos compuertas NOR. Estas construcciones se muestran en los diagramas lógicos de las figuras en el desarrollo de este presente laboratorio. Cada circuito forma un Flip-Flop básico del cual se pueden construir uno mas complicado. La conexión de acoplamiento intercruzado de la salida de una compuerta a la entrada de la otra constituye un camino de retroalimentación. Por esta razón, los circuitos se clasifican como Circuitos Secuenciales Asíncronos. Cada Flip-Flop tiene dos salidas, **Q** y **Q'** y dos entradas **S** (**set**) y **R** (**reset**). Este tipo de Flip-Flop se llama Flip-Flop RS acoplado directamente o bloqueador SR (SR latch). Las letras R y S son las iniciales de los nombres en ingles de las entradas (reset, set).



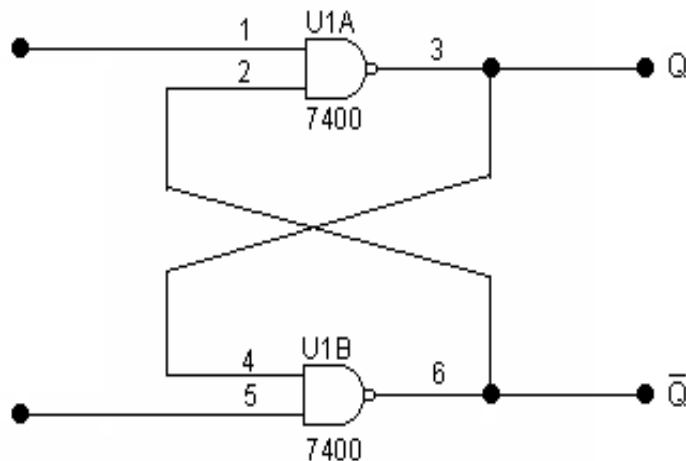
### 3. LISTA DE EQUIPOS Y MATERIALES.

- 01 protoboard.
- 01 fuente de tensión VDC - 5v.
- 01 multímetro digital.
- 01 manual ECG.
- C.I.: 7408, 7400, 7402, 7474, 7476.
- Resistencias: (3) 10 K $\Omega$ , (3) 220  $\Omega$ , (3) 1 K $\Omega$ , 570  $\Omega$ , 2.7 K $\Omega$ , 100 K $\Omega$ , 330  $\Omega$ ,
- Condensadores Cerámicos: 0.1  $\mu$ F, 0.01  $\mu$ F, (2)0.047  $\mu$ F, (2) 0,220  $\mu$ F.
- (2) Mini-switch de 3 golpes.
- Cables de conexión de telefonía.

### 4. PROCEDIMIENTO.

#### 4.1. FLIP – FLOP RS ASINCRONO:

a.- Monte el siguiente circuito:



b.- Utilice el indicador de nivel lógico para monitorear las entradas  $S$  y  $R$ , así como las salidas  $Q$  y  $\bar{Q}$ .

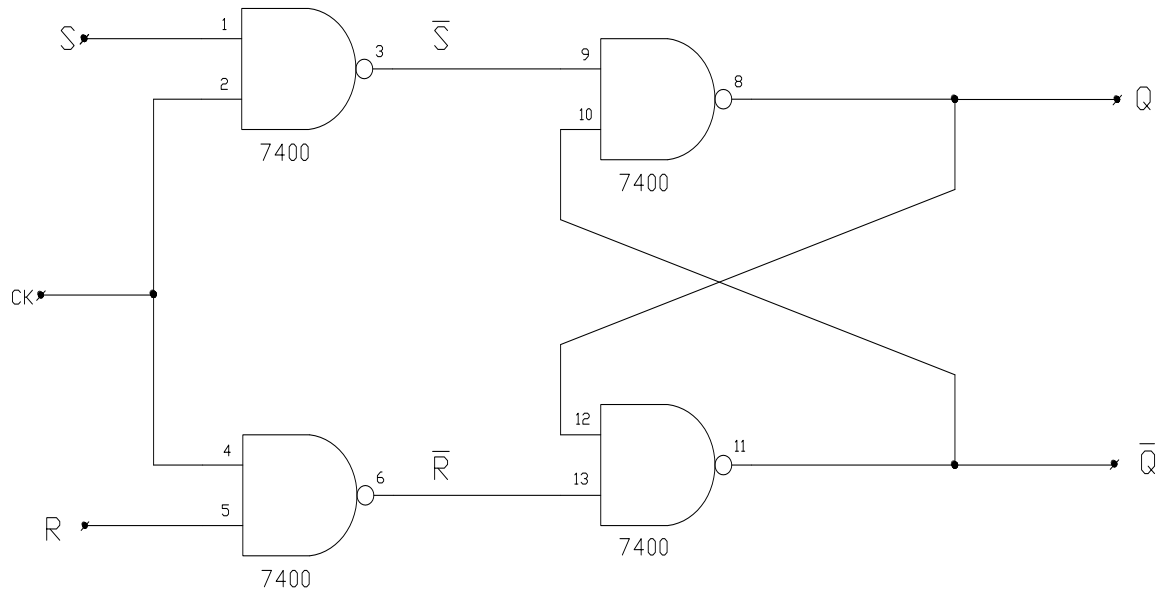
c.- Aplique los niveles lógicos señalados para las entradas  $S$  y  $R$ , igualmente verifique las salidas  $Q$  y  $\bar{Q}$ . Compruebe y llene la *Tabla* de función del *Flip Flop RS*:

TABLA DE FUNCION FLIP-FLOP RS			
S	R	Q	$\bar{Q}$
0	0		
0	1		
1	0		
1	1		



#### 4.2. FLIP – FLOP RS SINCRONO:

a.- Monte el siguiente circuito:



b.- Utilice el indicador de nivel lógico para monitorear las entradas  $S$ ,  $R$  y  $Ck$ , así como las salidas  $Q$  y  $\bar{Q}$ .

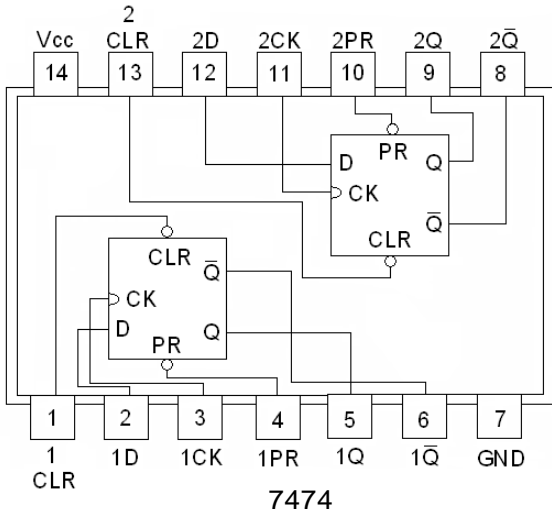
c.- Aplique los niveles lógicos señalados para las entradas  $S$ ,  $R$  y  $Ck$ , igualmente verifique las salidas  $Q$  y  $\bar{Q}$ . Compruebe y llene la *Tabla* de función del *Flip Flop RS*:

TABLA DE FUNCION FLIP-FLOP RS				
S	R	CK	Q	$\bar{Q}$
X	X	0		
0	0	1		
0	1	1		
1	0	1		
1	1	1		



### 4.3. FLIP – FLOP TIPO D:

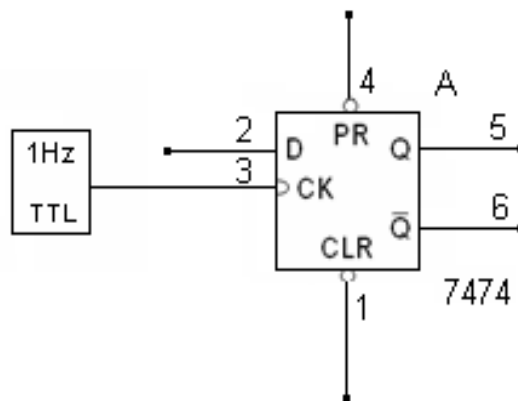
El Flip Flop tipo D que usaremos será **C.I. 7474**, cuya configuración interna y *Tabla* de función es la siguiente.



Truth Table for 7474 D – Type  
 Positive – Edge – Triggered Flip - Flop

Inputs				Outputs	
Preset	Clear	Clock	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	$Q_0$	$\bar{Q}_0$

a.- Monte el circuito (No se olvide de conectar el **pin 14** a +5v y el **pin 7** a GND)



b.- Verifique la Tabla de función, teniendo en cuenta la siguiente nomenclatura:

- H** Significa nivel lógico 1 (+5v).
- L** Significa nivel lógico 0 (GND)
- X** Significa que el nivel lógico de esta entrada es irrelevante; es decir que puede ser ya sea, un nivel lógico 1 o un nivel lógico 0
- H\*** Significa que esta configuración no es estable, es decir que no se mantendrán cuando las entradas PRESET y CLEAR retornen a su estado inactivo.
- Q<sub>0</sub>** Es el valor de Q antes que las condiciones de entrada indicadas fueran establecidas.
- $\bar{Q}_0$**  Es el complemento de Q<sub>0</sub>.



- ↑ Representa un filo positivo o un filo delantero de pulso clock de entrada (transición de 0 a 1).
- ↓ Representa un filo negativo o un filo posterior de pulso clock de entrada (transición de 1 a 0).

c.- Usando el indicador de nivel lógico monitoree la entrada del clock, la entrada de DATA y las salidas Q y  $\overline{Q}_0$ .

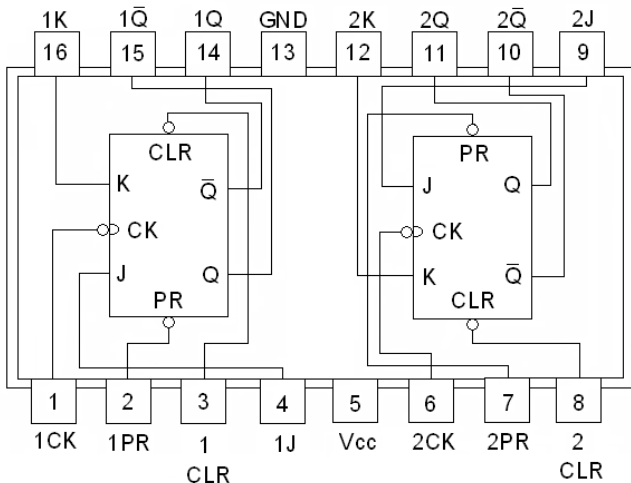
d.- Por ejemplo en la primera condición, debe verificar que, no interesa la condición del clock, o DATA, si CLEAR es H y PRESET es L, automáticamente la salida Q ira a H o nivel lógico 1 y  $\overline{Q}$  se ira a L o nivel lógico 0 y ahí se mantendrá mientras subsista la condición de PRESET = L o nivel lógico 0.

e.- Complete la verificación del resto de la Tabla de función del tipo Flip Flop tipo D.

f.- En el cual de las condiciones ensayadas se comprueba la transferencia de la información de la DATA hacia la salida  $Q_0$ .

#### 4.4. FLIP – FLOP TIPO JK:

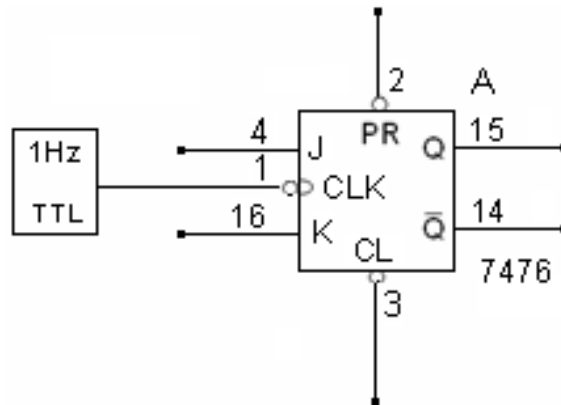
El Flip Flop JK que usaremos será el **C.I. 7476**, cuya configuración interna y Tabla de función es la siguiente.



LS76A FUNTION TABLE

INPUTS					OUTPUTS	
PRESET	CLEAR	CLOCK	J	K	Q	$\overline{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	↓	L	L	Q	$\overline{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q	$\overline{Q}_0$

a.- Monte el siguiente circuito. (No se olvide conectar el **pin 5** a +5v y el **pin 13** a GND).



- b.- Usando el indicador de nivel lógico monitoree la entrada del  $J$ ,  $K$ ,  $CLOCK$ , y las salidas  $Q$  y  $\overline{Q}$ .
- c.- Verifique la Tabla de función y recuerde que las salidas  $Q = Q_0$  y  $\overline{Q} = \overline{Q}_0$  significan que tanto  $Q$  y  $\overline{Q}$  permanecen en su estado lógico; es decir, el clock no tiene efecto. Igualmente **TOGGLE** significa que  $Q$  y  $\overline{Q}$  cambia de estado lógico, conmutando entre 0 y 1 con cada pulso de clock.
- d.- Por ejemplo, coloque **PRESET a L (GND)** y **CLEAR a H (+5v)**; las entradas **CLOCK**,  $J$  y  $K$  son irrelevantes, no interesa su condición; automáticamente  $Q$  irá a  $H$  y  $\overline{Q}$  irá a  $L$ . Verifíquelo usando el indicador de nivel lógico.
- e.- Complete la verificación del resto de la Tabla de función.
- f.- En el cual de las condiciones ensayadas se comprueba la transferencia de la información de las entradas  $J$  y  $K$  a las salida  $Q$  y  $\overline{Q}$ .

#### 4.5. EL FLIP – FLOP: TIPO T (TOGGLE)

a.- Monte el siguiente circuito (No se olvide de conectar el **pin 14** a +Vcc y el **pin 7** a GND).

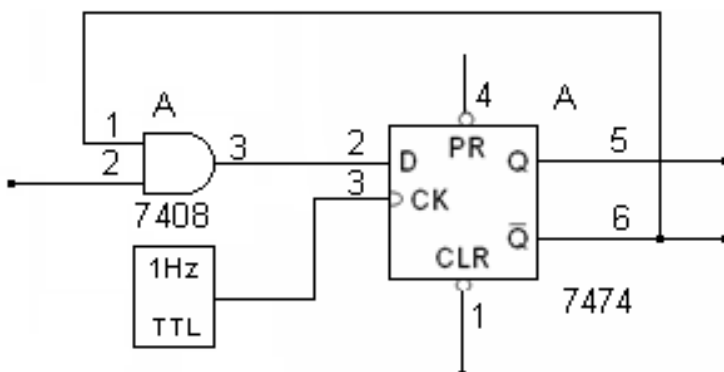


TABLA DE FUNCION DEL FLIP FLOP TIPO T	
$t_n$	$t_{n+1}$
T	Q
0	$Q_n$
1	$\overline{Q}_n$



**b.-** Usando el indicador de nivel lógico monitoree la entrada del clock, la entrada  $T$  y la salidas  $Q$ .

**c.-** Verifique la *Tabla* de función adjunta y compruebe que, cuando la entrada  $T$  esta en el nivel lógico 1, la salida  $Q$  cambia de estado con cada pulso de clock que llega a la entrada  $CK$ .

**d.-** Desconecte el indicador de nivel lógico. Coloque la entrada  $T$  a nivel lógico 1.

**f.-** Realice algunas aplicaciones y escriba sus conclusiones.